

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08107064 A**

(43) Date of publication of application: **23.04.96**

(51) Int. Cl

**H01L 21/027**  
**H01L 21/338**  
**H01L 29/812**  
**H01L 21/337**  
**H01L 29/808**

(21) Application number: **06264630**

(71) Applicant: **SONY CORP**

(22) Date of filing: **04.10.94**

(72) Inventor: **KOBAYASHI JUNICHIRO**

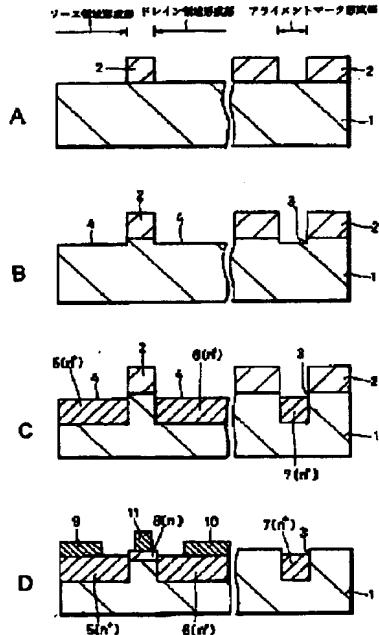
**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

**(57) Abstract:**

**PURPOSE:** To simplify the manufacturing process of a semiconductor device and, particularly in the manufacturing process of an FET, reduce the distance between a gate electrode and a source region and the distance between the gate electrode and a drain region.

**CONSTITUTION:** A mask 2 which has apertures corresponding to a source region forming part, a drain region forming part and an alignment mark forming part is formed on a semiconductor substrate 1. After the semiconductor substrate 1 is etched by using the mask 2 and the alignment mark 3 is formed, impurities are introduced into the semiconductor substrate 1 by using the mask 2 to form a source region 5 and a drain region 6. After that, the other patterns such as a gate electrode 11 are formed by lithography and the mask alignment for lithography is performed by using the alignment mark 3 as a reference mark.

**COPYRIGHT: (C)1996,JPO**



(51)Int.Cl.<sup>6</sup>H 01 L 21/027  
21/338  
29/812

識別記号

府内整理番号

F I

技術表示箇所

9171-4M

H 01 L 21/ 30

5 0 2 M

29/ 80

B

審査請求 未請求 請求項の数 6 FD (全 5 頁) 最終頁に続く

(21)出願番号

特願平6-264630

(22)出願日

平成6年(1994)10月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 小林 純一郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

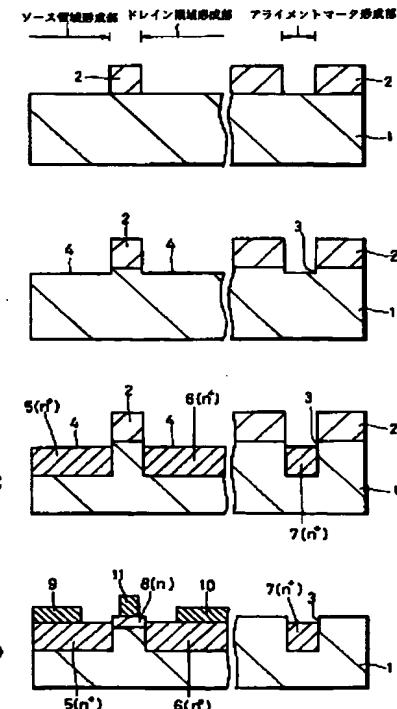
(74)代理人 弁理士 杉浦 正知

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】 半導体装置の製造工程を簡略化し、特にFETの製造においてはゲート電極とソース領域およびドレイン領域との間の距離を短縮する。

【構成】 ソース領域およびドレイン領域形成部とアライメントマーク形成部とに対応する部分が開口したマスク2を半導体基板1上に形成する。このマスク2を用いて半導体基板1をエッチングすることによりアライメントマーク3を形成した後、このマスク2を用いて半導体基板1中に不純物を導入することによりソース領域5およびドレイン領域6を形成する。その後のゲート電極11などの他のパターンを形成する工程のリソグラフィーにおけるマスク合わせをアライメントマーク3を基準マークとして用いて行う。



## 【特許請求の範囲】

【請求項1】 半導体領域形成部とアライメントマーク形成部に対応する部分が開口したマスクを半導体基板上に形成する工程と、  
上記マスクを用いて上記半導体基板を所定深さまでエッチングすることにより上記アライメントマーク形成部における上記半導体基板に凹部から成るアライメントマークを形成する工程と、  
上記マスクを用いて上記半導体基板中に不純物を選択的に導入することにより上記半導体基板中に半導体領域を形成する工程と、  
上記半導体領域を形成した後の他のパターンを形成するためのリソグラフィーにおけるマスク合わせを上記アライメントマークを基準マークとして用いて行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 上記半導体領域はソース領域およびドレイン領域であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記他のパターンを形成するためのリソグラフィーにはゲート電極を形成するためのリソグラフィーが含まれることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記ソース領域および上記ドレイン領域は $n^+$ 型であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 上記半導体装置は電界効果トランジスタであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 上記電界効果トランジスタはMESFETまたはJFETであることを特徴とする請求項5記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法に関し、例えば、電界効果トランジスタの製造に適用して好適なものである。

## 【0002】

【従来の技術】 従来、半導体装置の製造においては、一般に、一連の工程の最初の工程においてリソグラフィーにより形成されたレジストマスクを用いて半導体基板をエッチングすることによりアライメントマークを形成し、このアライメントマークを基準マークとして用いて以降のパターン形成のためのリソグラフィーにおけるマスク合わせを行っている。

【0003】 このような従来の半導体装置の製造方法の一例としてMESFET（金属-半導体FET）の製造方法を図2に示す。

【0004】 この従来のMESFETの製造方法においては、図2Aに示すように、まず、半導体基板101上にアライメントマーク形成部に対応する部分が開口した

レジストマスク102をリソグラフィーにより形成する。

【0005】 次に、図2Bに示すように、このレジストマスク102を用いて半導体基板101をエッチングすることにより凹部から成るアライメントマーク103を形成する。

【0006】 次に、レジストマスク102を除去した後、図2Cに示すように、半導体基板101中に $n$ 型チャンネル層104、 $n^+$ 型のソース領域105およびドレイン領域106を形成するとともに、ソース領域105およびドレイン領域106上にはそれぞれソース電極107およびドレイン電極108を形成し、 $n$ 型チャンネル層104上にはゲート電極109を形成し、目的とするMESFETを完成させる。ここで、これらのパターン形成のためのリソグラフィーにおけるマスク合わせは、アライメントマーク103を基準マークとして用いて行う。

【0007】 なお、このMESFETにおいて、ソース領域105およびドレイン領域106は、ソース・ゲート間の抵抗を減少させ、FETの特性（相互コンダクタンス（ $g_m$ ）、雑音指数（NF）、利得（ $G_a$ ）など）を向上させる目的で設けられているもので、ゲート電極109と接触しない限り、このゲート電極109にできるだけ近接して設けるのが、性能上好ましい。

## 【0008】

【発明が解決しようとする課題】 しかしながら、上述の従来の半導体装置の製造方法は、本来のパターンの形成のためのリソグラフィー以外にアライメントマークを形成するためだけのリソグラフィーが別に必要であることから、その分だけリソグラフィーの回数が多く、製造工程の増加をもたらしていた。

【0009】 また、上述の従来のMESFETの製造方法においては、ソース領域105およびドレイン領域106を形成するためのリソグラフィーにおけるマスク合わせとゲート電極109を形成するためのリソグラフィーにおけるマスク合わせとをそれぞれアライメントマーク103を基準マークとして用いて行っているので、ゲート電極109とソース領域105およびドレイン領域106との位置合わせのばらつきは、ソース領域105およびドレイン領域106とアライメントマーク103との位置合わせのばらつきとゲート電極109とアライメントマーク103との位置合わせのばらつきとを加えたものになる。このため、ゲート電極109とソース領域105およびドレイン領域106との間の距離をあまり短縮することができず、FETの性能を十分に引き出すことができなかった。さらに、ゲート電極109とソース領域105およびドレイン領域106との間の距離がばらつくことにより、FETの特性がばらついてしまうという問題もあった。

【0010】 従って、この発明の目的は、アライメント

マークを形成するためだけのリソグラフィーが不要になることにより製造工程の簡略化を図ることができる半導体装置の製造方法を提供することにある。

【0011】この発明の他の目的は、電界効果トランジスタにおけるゲート電極とソース領域およびドレイン領域との位置合わせ精度の向上によりゲート電極とソース領域およびドレイン領域との間の距離の短縮を図ることができる半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、この発明による半導体装置の製造方法は、半導体領域形成部とアライメントマーク形成部とに対応する部分が開口したマスク（2）を半導体基板（1）上に形成する工程と、マスク（2）を用いて半導体基板（1）を所定深さまでエッチングすることによりアライメントマーク形成部における半導体基板（1）に凹部から成るアライメントマーク（3）を形成する工程と、マスク（2）を用いて半導体基板（1）中に不純物を選択的に導入することにより半導体基板（1）中に半導体領域（5、6）を形成する工程と、半導体領域（5、6）を形成した後の他のパターンを形成するためのリソグラフィーにおけるマスク合わせをアライメントマーク（3）を基準マークとして用いて行う工程とを有することを特徴とするものである。

【0013】ここで、半導体基板は、基本的にはどのような種類の材料から成るものであってもよいが、いくつかの例を挙げると、GaAs、InP、Siなどから成る半導体基板である。

【0014】半導体基板中に半導体領域を形成するための不純物の導入方法としては、イオン注入法や熱拡散法を用いることができる。この半導体領域が例えばn型である場合、このn型の半導体領域を形成するための不純物としては、半導体基板がGaAsまたはInPから成る場合には例えばSi、S、Se、Teなどであり、半導体基板がSiから成る場合には例えばP、Asなどである。

【0015】また、半導体基板上に形成されるマスクは、半導体領域を形成するための不純物の導入にイオン注入法を用いる場合、その注入エネルギーが低いときは典型的にはレジストにより形成され、その注入エネルギーが高いときには例えばSiN膜やSiO<sub>2</sub>膜のような絶縁膜やその上にレジストを形成したものなどにより形成される。さらに、半導体基板上に形成されるマスクは、半導体領域を形成するための不純物の導入に熱拡散法を用いる場合、典型的にはSiO<sub>2</sub>膜のような絶縁膜である。

【0016】この発明の典型的な一実施形態においては、半導体装置は電界効果トランジスタであり、具体的には、例えばMESFET（金属-半導体FET）やJFET（接合型JFET）である。この場合、半導体領

域はソース領域およびドレイン領域であり、典型的にはn<sup>+</sup>型である。

【0017】この発明の一実施形態においては、他のパターンを形成するためのリソグラフィーにはゲート電極を形成するためのリソグラフィーが含まれる。

【0018】この発明は、基本的には、その製造工程における最初のパターン形成工程においてイオン注入法や熱拡散法により半導体基板中に不純物を選択的に導入することにより半導体領域を形成するタイプの半導体装置の製造に適用することができる。

【0019】

【作用】上述のように構成されたこの発明による半導体装置の製造方法によれば、半導体基板中に不純物を選択的に導入することにより半導体領域を形成するために用いられるマスクが半導体基板をエッチングすることによりアライメントマークを形成するためのマスクを兼用しているので、従来の半導体装置の製造方法において必要であったアライメントマークを形成するためだけのリソグラフィーが不要となり、従ってその分だけ製造工程の簡略化を図ることができる。

【0020】また、半導体装置がMESFETやJFETなどの電界効果トランジスタであり、半導体領域がソース領域およびドレイン領域であり、これらのソース領域およびドレイン領域を形成した後にゲート電極を形成する場合には、このゲート電極を形成するためのリソグラフィーにおけるマスク合わせを上記のアライメントマークを基準マークとして用いて行うことにより、従来のように一連の工程の最初の工程において専用のリソグラフィーによりアライメントマークを形成し、その後のソース領域およびドレイン領域を形成する工程のリソグラフィーおよびゲート電極を形成する工程のリソグラフィーにおいてこのアライメントマークを基準マークとして用いてそれぞれマスク合わせを行う場合に比べて、ゲート電極とソース領域およびドレイン領域との位置合わせのばらつきを少なくすることができ、従ってゲート電極とソース領域およびドレイン領域との位置合わせ精度を向上させることができる。このため、ゲート電極とソース領域およびドレイン領域との間の距離を十分に短縮することができ、これによって電界効果トランジスタの特性の向上を図ることができるとともに、特性のばらつきを防止することができる。

【0021】

【実施例】以下、この発明の一実施例について図面を参照しながら説明する。図1はこの発明の一実施例によるMESFETの製造方法を示す。

【0022】この実施例によるMESFETの製造方法においては、図1Aに示すように、まず、例えば半絶縁性GaAs基板のような半導体基板1上にマスク2を形成する。このマスク2は、ソース領域およびドレイン領域形成部とアライメントマーク形成部とに対応する部分

が開口した形状を有する。このマスク2は、後述のエッチングやイオン注入に耐えられる材料から成るものであれば、基本的にはどのような材料を用いて形成してもよい。具体的には、このマスク2は、後述のソース領域およびドレイン領域形成用のイオン注入を低エネルギーで行う場合には通常レジストにより形成され、このイオン注入を高エネルギーで行う場合にはSiN膜やSiO<sub>2</sub>膜のような絶縁膜やその上にレジストを形成したものなどにより形成される。

【0023】次に、図1Bに示すように、マスク2を用いて半導体基板1を例えば反応性イオンエッチング(RIE)法により所定深さだけエッチングする。このエッチングによって、アライメントマーク形成部における半導体基板1に凹部から成るアライメントマーク3が形成されるとともに、ソース領域およびドレイン領域形成部における半導体基板1に凹部4が形成される。このエッチング深さは、後工程のリソグラフィーにおけるマスク合わせ時にアライメントマーク3を視認可能な範囲で小さい方が好ましい。このエッチング深さは通常、0.05~0.20μmであり、典型的には例えば0.1μm程度である。

【0024】次に、図1Cに示すように、マスク2を用いて半導体基板1中にドナー不純物として例えばSiをイオン注入する。これによって、ソース領域およびドレイン領域形成部における半導体基板1中にこれと同一形状にn<sup>+</sup>型のソース領域5およびドレイン領域6が形成されるとともに、アライメントマーク3の部分における半導体基板1中にこれと同一形状のn<sup>+</sup>型半導体領域7が形成される。このイオン注入のドーズ量は例えば(1~5)×10<sup>13</sup>c m<sup>-2</sup>である。また、これらのソース領域5、ドレイン領域6およびn<sup>+</sup>型半導体領域7の深さは例えば0.3~0.6μmである。

【0025】次に、マスク2を除去した後、図1Dに示すように、ソース領域5とドレイン領域6との間の部分における半導体基板1中に例えばSiをイオン注入することによりn型チャンネル層8を形成し、ソース領域5およびドレイン領域6上にそれぞれソース電極9およびドレイン電極10を形成し、さらにn型チャンネル層8上にゲート電極11を形成し、目的とするMOSFETを完成させる。これらのパターン形成のためのリソグラフィーにおいては、アライメントマーク3を基準マークとして用いてマスク合わせを行う。この場合、これらのリソグラフィーにおける露光を縮小投影露光装置(いわゆるステッパー)を用いて行うと、良好な位置合わせ精度を得る上で効果的である。なお、n型チャンネル層8を形成するためのイオン注入のドーズ量は例えば(1~5)×10<sup>12</sup>c m<sup>-2</sup>であり、n型チャンネル層8の深さは例えば0.1~0.2μmである。

【0026】以上のように、この実施例によれば、ソース領域およびドレイン領域形成部とアライメントマーク

形成部とに対応する部分が開口したマスク2を半導体基板1上に形成し、このマスク2を用いてまず半導体基板1をエッチングすることによりアライメントマーク3を形成した後、このマスク2を用いて半導体基板1中にドナー不純物をイオン注入することによりソース領域5およびドレイン領域6を形成するようしている。すなわち、ソース領域5およびドレイン領域6を形成するためのマスク2がアライメントマーク3を形成するためのマスクを兼用している。このため、従来必要であったアライメントマーク形成のためだけのリソグラフィーが不要となり、従ってその分だけMOSFETの製造工程の簡略化を図ることができる。

【0027】また、アライメントマーク3とソース領域5およびドレイン領域6とは同一のマスク2を用いて形成されたものであるため、ゲート電極11を形成するためのリソグラフィーにおけるマスク合わせをこのアライメントマーク3を基準マークとして用いて行ったときのこのゲート電極11とソース領域5およびドレイン領域6との位置合わせ精度は、従来に比べて大幅に向上する。このため、ゲート電極11とソース領域5およびドレイン領域6との間の距離を十分に短縮することができ、MOSFETの性能を十分に引き出すことができる。そして、ソース・ゲート間の抵抗の減少によりFETの特性(g<sub>m</sub>、N<sub>F</sub>、G<sub>a</sub>など)の向上を図ることができるとともに、特性のばらつきを防止することができる。

【0028】以上、この発明の一実施例について具体的に説明したが、この発明は、上述の実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

#### 【0029】

【発明の効果】以上述べたように、この発明によれば、アライメントマークを形成するためだけのリソグラフィーが不要となることにより、その分だけ製造工程の簡略化を図ることができる。また、特に、半導体装置が電界効果トランジスタであり、半導体領域がソース領域およびドレイン領域である場合には、ゲート電極とソース領域およびドレイン領域との位置合わせ精度の向上により、ゲート電極とソース領域およびドレイン領域との間の距離の短縮を図ることができる。

#### 【図面の簡単な説明】

【図1】この発明の一実施例によるMOSFETの製造方法を説明するための断面図である。

【図2】従来のMOSFETの製造方法を説明するための断面図である。

#### 【符号の説明】

1 半導体基板

2 マスク

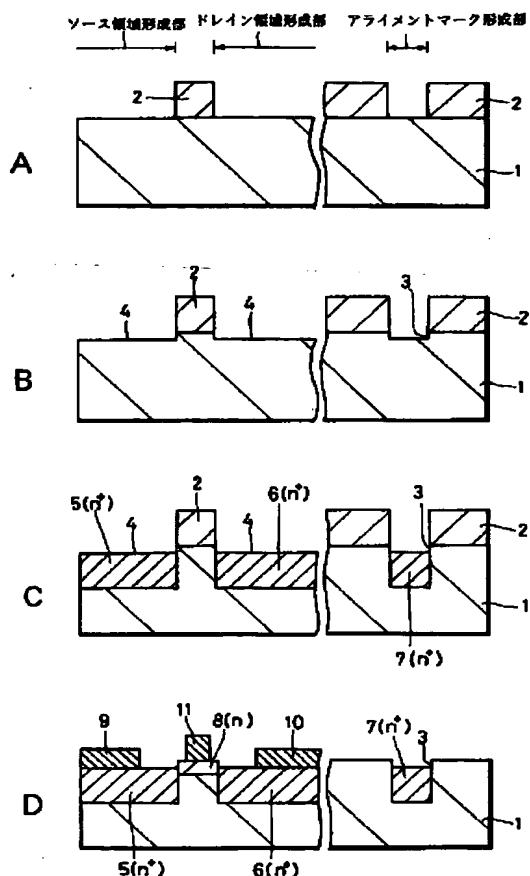
3 アライメントマーク

4 凹部

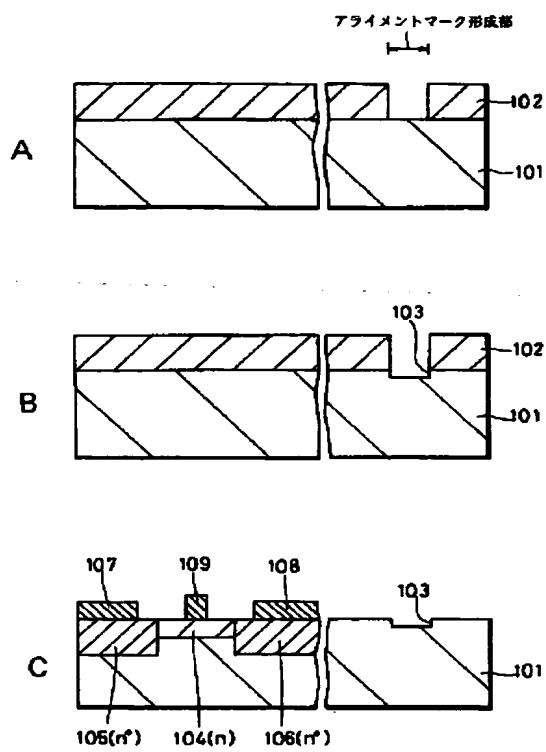
5 ソース領域  
6 ドレイン領域  
7  $n^+$  型半導体領域  
8 n型チャンネル層

9 ソース電極  
10 ドレイン電極  
11 ゲート電極

【図1】



【図2】



フロントページの続き

(51) Int. Cl. 6

H O 1 L 21/337  
29/808

識別記号

庁内整理番号

F I

技術表示箇所

9171-4M

H O 1 L 29/80

C